



(19)

(11) Publication number: **11233771 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **10333601**(51) Intl. H01L 29/78 H01L 21/762 H01L 29/778
Cl.: H01L 21/338 H01L 29/812(22) Application date: **25.11.98**(30) Priority: **03.12.97 JP 09332726**(43) Date of application publication: **27.08.99**

(84) Designated contracting states:

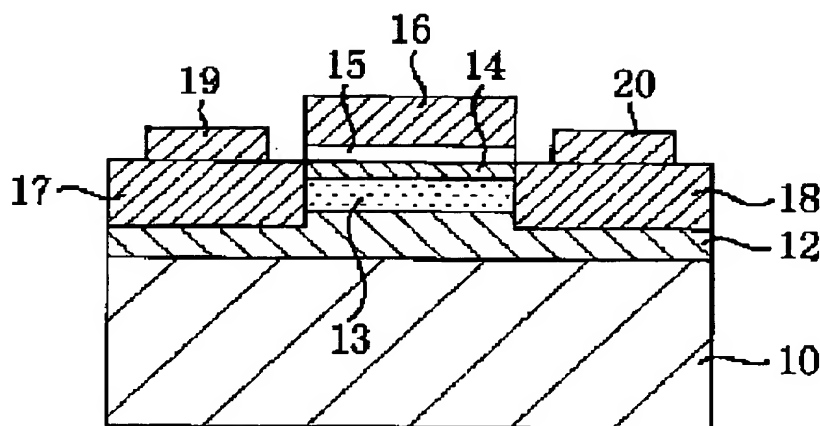
(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **TAKAGI TAKESHI**

(74) Representative:

(54) SEMICONDUCTOR DEVICE**(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a field effect transistor at a low cost which has hetero junction structure composed of silicon as main component and is excellent in characteristics.

SOLUTION: In this semiconductor device, a first silicon layer 12 (Si layer), a second silicon layer 13 (Si_{1-y}Cy layer) containing carbon and a third silicon layer 13 which does not contain carbon are laminated on a silicon substrate 10 in order. Since the lattice constant of the Si_{1-y}Cy layer is smaller than that of the Si layer, a conduction band and a valence band of the second silicon layer 13 receive tensile strain and are split. Electrons having small effective mass which are induced by an electric field applied to a gate electrode 16 are confined in the second silicon layer 13 and transit in the channel direction, and an N-MOSFET of extremely high mobility can be obtained. By constituting the second silicon layer 13 of Si_{1-x-y}GexCy, structure suitable for a CMOS device of high performance is obtained.



COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233771

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78
21/762
29/778
21/338
29/812

H 0 1 L 29/78
21/76
29/80

3 0 1 B
D
H

審査請求 未請求 請求項の数24 O L (全 21 頁)

(21) 出願番号 特願平10-333601

(22) 出願日 平成10年(1998)11月25日

(31) 優先権主張番号 特願平9-332726

(32) 優先日 平 9 (1997) 12月 3 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 高木 剛

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

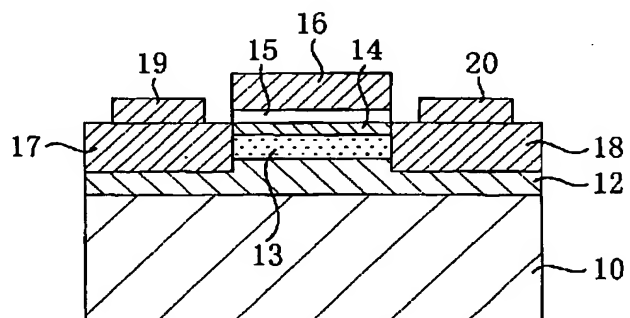
(74) 代理人 弁理士 前田 弘 (外 1 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 シリコンを主成分として構成されたヘテロ接合構造を有しながら、特性のよいかつ安価な電界効果トランジスタを提供する。

【解決手段】 シリコン基板10上に、第1のシリコン層12 (Si層) と、炭素を含む第2のシリコン層13 (Si_{1-y}C_y層) と、炭素を含まない第3のシリコン層14とが順次積層されている。Si_{1-y}C_y層はSi層よりも格子定数が小さいことから、第2のシリコン層13の伝導帯及び価電子帯は引っ張り歪を受けてスプリットする。そして、ゲート電極16に印加された電界により誘起された有効質量の小さい電子が第2のシリコン層13に閉じこめられ、チャネル方向に走行して、移動の極めて高いn-MOSFETを得ることができる。第2のシリコン層13をSi_{1-x-y}Ge_xC_yにより構成すれば、高性能のCMOSデバイスに適した構造となる。



【特許請求の範囲】

【請求項1】 基板上に電界効果トランジスタを備えた半導体装置であって、
 上記電界効果トランジスタは、
 上記基板に設けられた第1のシリコン層と、
 上記第1のシリコン層の上に形成され、炭素を含み上記第1のシリコン層による引っ張り歪を受けた第2のシリコン層と、
 上記第2のシリコン層の上に形成されたゲート電極とを備え、
 上記第2のシリコン層が、上記電界効果トランジスタのチャネル領域として機能することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、
 上記電界効果トランジスタはnチャネル型電界効果トランジスタであり、上記第2のシリコン層は電子が走行するnチャネルであることを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置において、
 上記nチャネル型電界効果トランジスタの第1のシリコン層と第2のシリコン層との間のヘテロ障壁により、電子が閉じこめられていることを特徴とする半導体装置。

【請求項4】 請求項2記載の半導体装置において、
 上記第1のシリコン層における上記第2のシリコン層の近傍に形成され高濃度のn型不純物を含む高濃度ドープ層をさらに備えていることを特徴とする半導体装置。

【請求項5】 請求項3又は4記載の半導体装置において、
 上記第2のシリコン層は、量子井戸となっていることを特徴とする半導体装置。

【請求項6】 請求項2～5のうちいずれか1つに記載の半導体装置において、
 上記第2のシリコン層の直上かつ上記ゲート電極の下方に形成され上記第2のシリコン層に引っ張り歪を与える第3のシリコン層をさらに備え、
 上記第2のシリコン層において、第2のシリコン層と第3のシリコン層との境界に形成されるポテンシャルのくぼみにより、電子が閉じこめられていることを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、
 上記第3のシリコン層における上記第2のシリコン層の近傍に形成され高濃度のn型不純物を含む高濃度ドープ層をさらに備えていることを特徴とする半導体装置。

【請求項8】 請求項2～5のうちいずれか1つに記載の半導体装置において、
 上記第2のシリコン層の直上かつ上記ゲート電極の下方に形成され上記第2のシリコン層に引っ張り歪を与える第3のシリコン層をさらに備え、
 上記第2のシリコン層において、第1のシリコン層と第2のシリコン層との間、及び第2のシリコン層と第3のシリコン層との間にそれぞれ形成される2つのヘテロ障

壁により、電子が閉じこめられていることを特徴とする半導体装置。

【請求項9】 請求項1記載の半導体装置において、
 上記電界効果トランジスタはpチャネル型電界効果トランジスタであり、上記第2のシリコン層はホールが走行するpチャネルであることを特徴とする半導体装置。

【請求項10】 請求項9記載の半導体装置において、
 上記pチャネル型電界効果トランジスタの第1のシリコン層と第2のシリコン層との間のヘテロ障壁により、ホールが閉じこめられていることを特徴とする半導体装置。

【請求項11】 請求項10記載の半導体装置において、
 上記第1のシリコン層における上記第2のシリコン層の近傍に形成され高濃度のp型不純物を含む高濃度ドープ層をさらに備えていることを特徴とする半導体装置。

【請求項12】 請求項10又は11記載の半導体装置において、
 上記第2のシリコン層は、量子井戸となっていることを特徴とする半導体装置。

【請求項13】 請求項9～12のうちいずれか1つに記載の半導体装置において、
 上記第2のシリコン層の直上かつ上記ゲート電極の下方に形成され上記第2のシリコン層に引っ張り歪を与える第3のシリコン層をさらに備え、
 上記第2のシリコン層において、第2のシリコン層と第3のシリコン層との境界に形成されるポテンシャルのくぼみにより、ホールが閉じこめられていることを特徴とする半導体装置。

【請求項14】 請求項13記載の半導体装置において、
 上記第3のシリコン層における上記第2のシリコン層の近傍に形成され高濃度のp型不純物を含む高濃度ドープ層をさらに備えていることを特徴とする半導体装置。

【請求項15】 請求項9～12のうちいずれか1つに記載の半導体装置において、
 上記第2のシリコン層の直上かつ上記ゲート電極の下方に形成され上記第2のシリコン層に引っ張り歪を与える第3のシリコン層をさらに備え、
 上記第2のシリコン層において、第1のシリコン層と第2のシリコン層との間、及び第2のシリコン層と第3のシリコン層との間にそれぞれ形成される2つのヘテロ障壁により、ホールが閉じこめられていることを特徴とする半導体装置。

【請求項16】 請求項1～15のうちいずれか1つに記載の半導体装置において、
 上記ゲート電極の直下に形成されたゲート絶縁膜をさらに備えていることを特徴とする半導体装置。

【請求項17】 請求項1～16のうちいずれか1つに記載の半導体装置において、

上記第2のシリコン層の厚みは、上記炭素の組成で定まる転位発生のための臨界膜厚よりも小さいことを特徴とする半導体装置。

【請求項18】 請求項1～17のうちいずれか1つに記載の半導体装置において、

上記第2のシリコン層は、さらにゲルマニウムを含んでいることを特徴とする半導体装置。

【請求項19】 請求項1記載の半導体装置において、上記電界効果トランジスタは、上記第2のシリコン層がnチャネルであるnチャネル型電界効果トランジスタであり、

上記基板に設けられた第4のシリコン層と、

上記第4のシリコン層の上に形成され、炭素を含み上記第4のシリコン層による引っ張り歪を受けた第5のシリコン層と、

上記第5のシリコン層の上に形成されたゲート電極とを有し、

上記第5のシリコン層がpチャネル領域として機能するpチャネル型電界効果トランジスタをさらに備え、相補型デバイスとして機能することを特徴とする半導体装置。

【請求項20】 請求項19記載の半導体装置において、

上記nチャネル型電界効果トランジスタの第2のシリコン層と、上記pチャネル型電界効果トランジスタの第5のシリコン層とにおける炭素の組成比は互いに等しいことを特徴とする半導体装置。

【請求項21】 請求項19又は20記載の半導体装置において、

上記ゲート電極の直下に形成されたゲート絶縁膜をさらに備えていることを特徴とする半導体装置。

【請求項22】 請求項19～21のうちいずれか1つに記載の半導体装置において、

上記第5のシリコン層の厚みは、上記炭素の組成で定まる転位発生のための臨界膜厚よりも小さいことを特徴とする半導体装置。

【請求項23】 請求項19～22のうちいずれか1つに記載の半導体装置において、

上記第2及び第5のシリコン層は、さらにゲルマニウムを含んでいることを特徴とする半導体装置。

【請求項24】 請求項23記載の半導体装置において、上記第2及び第5のシリコン層におけるゲルマニウムの組成比は互いに等しいことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果型トランジスタを備えた半導体装置に係り、特に、キャリアが走行するチャネル層に引っ張り歪を与えてキャリアの移動度を向上させたものの改良に関するものである。

【0002】

【従来の技術】現在、シリコン基板上に形成されるトランジスタは、金属-絶縁膜-半導体(MIS)型の電界効果型トランジスタが主流である。このトランジスタの特性を向上させる方法として、Siチャネル層に引っ張り歪を与える方法が報告されている(J. Welser et al., "Strain dependence of the performance enhancement in strained-Si n-MOSFETs," IEDM Tech. Dig. 1994, p. 373. およびK. Rim et al., "Enhanced hole mobilities in surface-channel strained-Si p-MOSFETs," IEDM Tech. Dig. 1995, p. 517.)。

【0003】図16は、上記方法により形成される電界効果トランジスタの半導体領域の基本的な構造を示す断面図である。同図に示すように、半導体領域の基本的な構造は、シリコン基板100の上に、Ge含有量が0からxまで傾斜的に増加しているSiGeバッファ層101と、格子緩和されたSi_{1-x}Ge_x層102と、引っ張り歪を受けたSi層103とを順次設けたものである。これは、SiGeバッファ層101上に形成されたSi_{1-x}Ge_x層102を格子緩和させることにより、Si_{1-x}Ge_x層102の格子定数を無歪のSiGeと等しくなるよう大きくし、その上に成長するSi層103に引っ張り歪を与えようとするものである。

【0004】図17(a)～(c)は、それぞれ順に、Si_{1-x}Ge_x層とSi層との積層前の格子状態を示す結晶構造図、積層後にSi層が引っ張り歪を受けた状態を示す結晶構造図、及びSi_{1-x}Ge_x層とSi層とによるヘテロ接合構造のバンド図である。図17(a)に示すように、Si結晶の格子定数はSi_{1-x}Ge_x結晶の格子定数よりも小さいので、Si_{1-x}Ge_x層の上にSi層をエピタキシャル成長させると、図17(b)に示すごとくSi層はSi_{1-x}Ge_x層によって引っ張り歪を受ける。その結果、Si_{1-x}Ge_x層と引っ張り歪をうけたSi層とからなるヘテロ接合構造のエネルギーバンドは、図17(c)に示すようになる。すなわち、Si層は引っ張り歪を受けることにより、伝導帯では6重の縮退が解け、2重および4重に縮退したバンド(Δ(2)及びΔ(4))にスプリットする。一方、価電子帯でも同様に2重の縮退が解け、ライトホール(LH)とヘビーホール(HH)のバンドにスプリットする。

【0005】すなわち、このようなヘテロ接合構造によって、図16に示すSi層103の伝導帯端は2重に縮退したバンドΔ(2)により構成され、エネルギー的にはSi_{1-x}Ge_x層102の電子よりも小さくなる。したがって、Si層103をチャネルとする電界効果トランジスタを構成すれば、有効質量の小さいバンドΔ

(2)の電子がチャネルを走行するので、Si層103の横方向における電子移動度が向上し、トランジスタの動作速度が向上する。また、バンドΔ(2)のエネルギーレベルは、Si_{1-x}Ge_x層102の伝導帯端にお

5

るエネルギーレベルよりも低くなるので、Si層103をチャネルとして用いることにより、Si層とSi_{1-x}Ge_x層との間に形成されるヘテロ障壁を利用して電子をSi層に閉じ込めることができる。

【0006】一方、Si層103の価電子帯端は、有効質量の小さいライトホールによるバンドにより構成され、エネルギー的にはSi_{1-x}Ge_x層102のホールよりも小さくなる。したがって、このようなSi層103をpチャネル型トランジスタのチャネル領域として用いることにより、有効質量の小さいライトホールがSi層103の横方向に移動してホール移動度が向上し、トランジスタの動作速度が向上する。

【0007】このようにnチャネル電界効果トランジスタ、pチャネル電界効果トランジスタともに、引っ張り歪を受けたSi層103をチャネル領域として用いることにより、トランジスタ特性の向上が報告されている。

【0008】

【発明が解決しようとする課題】しかしながら、上述した従来の方法により構成される電界効果トランジスタにおいては、以下のような問題があった。

【0009】第1に、チャネル領域となるSi層103に引っ張り歪を加えるためには、SiGeバッファ101層をシリコン基板100上に十分に厚く、格子緩和するまで成長する必要があるが、格子緩和させる際に、SiGeバッファ層101内に多数の転位が発生する。また、Si_{1-x}Ge_x層102の上に形成されるSi層103内にも多数の転位が内在している。このような転位は、トランジスタの特性を劣化させるばかりではなく、長期的な信頼性においても問題である。例えば、これまで、SiGeバッファ層の構成を工夫することによる転位の低減が報告されているが、現在のところ転位密度を 10^5 cm^{-2} 程度に減らすのが限界であり、非常に欠陥の多いデバイスとなっている。

【0010】第2に、このような格子緩和のためのバッファ層は、十分に厚い（膜厚が $1 \mu\text{m}$ 以上）ことを必要とするため、結晶成長のための時間が非常に長くなりスループットという観点からみて実用性に乏しい。

【0011】第3に、上記従来の構造では、Si層103の価電子帯端のエネルギーレベルがSi_{1-x}Ge_x層102の価電子帯端のエネルギーレベルよりも低くなるために、Si_{1-x}Ge_x層102側が高いヘテロ障壁が形成され、Si層103側に有効質量の小さいホールを閉じ込めることは期待できない。

【0012】本発明は斯かる点に鑑みてなされたものであり、転位が多く内在した格子緩和のための厚いバッファ層を不要としながら、シリコンを主成分とするチャネル層に引っ張り歪を与える手段を講ずることにより、特性の優れたかつ信頼性を十分に確保したトランジスタを提供することを目的とする。

【0013】

6

【課題を解決するための手段】本発明の半導体装置は、基板上に電界効果トランジスタを備えた半導体装置であって、上記電界効果トランジスタは、上記基板に設けられた第1のシリコン層と、上記第1のシリコン層の上に形成され、炭素を含み上記第1のシリコン層による引っ張り歪を受けた第2のシリコン層と、上記第2のシリコン層の上に形成されたゲート電極とを備えており、上記第2のシリコン層が上記電界効果トランジスタのチャネル領域として機能する。

10 【0014】これにより、第2のシリコン層に、原子半径がシリコンに比べて小さい炭素が含まれているので、第2のシリコン層の格子定数は第1のシリコン層よりも小さくなる。したがって、第1のシリコン層と第2のシリコン層との間に厚いバッファ層がなくても、炭素を含む第2のシリコン層は第1のシリコン層から引っ張り歪を受ける。その結果、第2のシリコン層の伝導帯では6重の縮退が解け、2重および4重に縮退したバンドにスプリットする。そして、第2のシリコン層で構成されるチャネル領域の伝導帯端は2重に縮退したバンドにより
20 構成され、この2重に縮退した電子の有効質量は第1のシリコン層の電子よりも小さくなる。したがって、電流を横方向に流した場合、面内での電子の有効質量が小さくなることにより電子移動度が向上し、かつ谷間の散乱を抑制することができるので、さらに電子移動度が向上する。したがって、電子が走行するnチャネルを有する電界効果トランジスタの動作速度が向上する。また、第2のシリコン層における2重に縮退したバンドのエネルギーレベルは、第1のシリコン層の伝導帯端のエネルギーレベルよりも低くなるので、第1のシリコン層と第2のシリコン層との間のヘテロ障壁により第2のシリコン層に電子を閉じこめることが可能な構造となる。

【0015】一方、第2のシリコン層の価電子帯でも同様に縮退が解け、ライトホールバンドとヘビーホールバンドとにスプリットする。この時、第2のシリコン層により構成されるチャネル領域の価電子帯端は有効質量の小さいライトホールによるバンドにより構成され、このライトホールの有効質量は第1のシリコン層のホールの有効質量よりも小さくなる。したがって、ホールが走行するpチャネルを有する電界効果トランジスタにおいて
40 も、ホールの有効質量が小さくなることによりホール移動度が向上し、トランジスタの動作速度が向上する。

【0016】さらに、ライトホールバンドのエネルギーレベルは第1のシリコン層の価電子帯端のエネルギーレベルよりも高くなるので、第1のシリコン層と第2のシリコン層との間のヘテロ障壁により第2のシリコン層にライトホールを閉じこめることが可能な構造となる。

【0017】しかも、第2のシリコン層は厚くする必要がないので、臨界膜厚以下の厚みとするなどの調整によって転位のほとんどない結晶層を形成することも容易である。また、上述のように、緩和のための厚いバッファ
50

層が不要となるので、スループットの向上も図ることができる。よって、特性の優れたかつ信頼性の高い電界効果トランジスタとして機能する半導体装置が安価に得られることになる。

【0018】上記半導体装置における第2のシリコン層は、上記電界効果トランジスタがnチャネル型電界効果トランジスタである場合には、電子が走行するnチャネルとなる。

【0019】上記半導体装置において、上記nチャネル型電界効果トランジスタの第2のシリコン層と第1のシリコン層との間のヘテロ障壁により、電子が閉じこめられていることが好ましい。

【0020】これにより、ヘテロ障壁による電子の閉じこめ効率の高い電界効果トランジスタを得ることができる。

【0021】上記半導体装置において、上記第1のシリコン層における上記第2のシリコン層の近傍に形成され高濃度のn型不純物を含む高濃度ドープ層をさらに備えることができる。

【0022】これにより、キャリアを供給する高濃度ドープ層とキャリア蓄積層であるチャネルとが空間的に分離されているために、チャネルを走行するキャリアは、イオン化不純物による散乱を受けることなく高速で走行することができる。

【0023】上記第2のシリコン層は、量子井戸となっていることがより好ましい。

【0024】これにより、チャネル領域となる第2のシリコン層において誘起されたキャリアはこの量子井戸内に閉じ込められ、キャリア濃度が高くなってもヘテロ障壁を乗り越えることがなく、安定して走行する。

【0025】上記半導体装置において、上記第2のシリコン層の直上かつ上記ゲート電極の下方に形成され上記第2のシリコン層に引っ張り歪を与える第3のシリコン層をさらに備え、上記第2のシリコン層において、第2のシリコン層と第3のシリコン層との境界に形成されるポテンシャルのくぼみにより、電子が閉じこめられているものとすることができる。

【0026】これにより、ゲート絶縁膜の直下ではなく、第3のシリコン層の直下に電子が走行するチャネルが存在することになる。したがって、ゲート絶縁膜と第3のシリコン層との間の界面に存在する界面準位や、界面の凹凸によってチャネルを走行する電子が散乱を受けることはほとんどなく、一般的なMOSトランジスタに比べ高い動作速度を実現することができる。

【0027】その場合にも、上記第3のシリコン層における上記第2のシリコン層の近傍に形成され高濃度のn型不純物を含む高濃度ドープ層をさらに備えることが好ましい。

【0028】上記半導体装置において、上記第2のシリコン層の直上かつ上記ゲート電極の下方に形成され上記

第2のシリコン層に引っ張り歪を与える第3のシリコン層をさらに備え、上記第2のシリコン層において、第1のシリコン層と第2のシリコン層との間、及び第2のシリコン層と第3のシリコン層との間にそれぞれ形成される2つのヘテロ障壁により、電子が閉じこめられているものとすることができる。

【0029】これにより、第2のシリコン層と第3のシリコン層との間にもヘテロ障壁が形成される。しかも、第1のシリコン層と第2のシリコン層との間に形成されるヘテロ障壁と、第2のシリコン層と第3のシリコン層との間に形成されるヘテロ障壁とによって挟まれる第2のシリコン層に、電子を極めて効率よく閉じこめることができる。

【0030】上記半導体装置における第2のシリコン層は、上記電界効果トランジスタがpチャネル型電界効果トランジスタである場合には、ホールが走行するpチャネルである。

【0031】その場合には、上記pチャネル型電界効果トランジスタの第2のシリコン層と第1のシリコン層との間のヘテロ障壁により、ホールが閉じこめられていることが好ましい。

【0032】これにより、ヘテロ障壁を利用してホールの閉じこめ効率の高い電界効果トランジスタを得ることができる。

【0033】上記半導体装置において、上記第1のシリコン層における上記第2のシリコン層の近傍に形成され高濃度のp型不純物を含む高濃度ドープ層をさらに備えることができる。

【0034】これにより、キャリアを供給する高濃度ドープ層とキャリア蓄積層であるチャネルとが空間的に分離されているために、チャネルを走行するキャリアは、イオン化不純物による散乱を受けることなく高速で走行することができる。

【0035】また、nチャネル型電界効果トランジスタの場合と同様に、上記第2のシリコン層は、量子井戸となっていることがより好ましい。

【0036】さらに、pチャネル型電界効果トランジスタの場合にも、上記第2のシリコン層の直上かつ上記ゲート電極の下方に形成され上記第2のシリコン層に引っ張り歪を与える第3のシリコン層をさらに備え、上記第2のシリコン層において、第2のシリコン層と第3のシリコン層との境界に形成されるポテンシャルのくぼみにより、ホールが閉じこめられているものとすることができる。

【0037】その場合にも、上記第3のシリコン層における上記第2のシリコン層の近傍に形成され高濃度のp型不純物を含む高濃度ドープ層をさらに備えることが好ましい。

【0038】また、pチャネル型電界効果トランジスタの場合にも、上記第2のシリコン層の直上かつ上記ゲ

ト電極の下方に形成され上記第2のシリコン層に引っ張り歪を与える第3のシリコン層をさらに備え、上記第2のシリコン層において、第1のシリコン層と第2のシリコン層との間、及び第2のシリコン層と第3のシリコン層との間にそれぞれ形成される2つヘテロ障壁により、ホールが閉じこめられているものとすることができる。

【0039】これにより、上述の作用により、ホールの閉じこめ効率の極めて高い電界効果トランジスタを得ることができる。

【0040】上記半導体装置において、上記ゲート電極の直下に形成されたゲート絶縁膜をさらに備えることが好ましい。

【0041】上記半導体装置において、上記第2のシリコン層の厚みは、上記炭素の組成で定まる転位発生のための臨界膜厚よりも小さいことが好ましい。

【0042】これにより、第2のシリコン層を、転位のない、結晶性の極めて良好な結晶により構成できるので、高密度の転位の存在に起因する電界効果トランジスタの電気的特性の悪化を防止することができる。

【0043】上記半導体装置における上記第2のシリコン層に、さらにゲルマニウムを含ませることができ

る。
【0044】これにより、第2のシリコン層に、原子半径がシリコンに比べて小さい炭素がゲルマニウムと共に含まれているので、炭素とゲルマニウムの組成の調整によって第2のシリコン層の格子定数を第1のシリコン層よりも小さくすることは容易である。したがって、第1のシリコン層と第2のシリコン層との間に厚いバッファ層がなくても、第2のシリコン層が第1のシリコン層から引っ張り歪を受ける構造にすることができる。その結果、上述の作用効果を得ることができるとともに、さらに、以下の作用効果が得られる。

【0045】特に、炭素とゲルマニウムを含み引っ張り歪を受けた第2のシリコン層のLHバンドのエネルギーレベルと第1のシリコン層の価電子帯端とのエネルギーレベル差は、上記第1の半導体装置における炭素を含み引っ張り歪を受けた第2のシリコン層のLHバンドと第1のシリコン層の価電子帯端とのエネルギーレベル差に比べて大きいので、ホールの閉じ込め効果の向上が期待できる。そして、ゲルマニウム、炭素の組成比を変えることによって、価電子帯端のヘテロ障壁の大きさと伝導帯端のヘテロ障壁の大きさを、半導体装置の種類などに応じて適宜調節することが可能になる。

【0046】上記半導体装置において、上記電界効果トランジスタは上記第2のシリコン層がnチャネルであるnチャネル型電界効果トランジスタであり、上記基板に設けられた第4のシリコン層と、上記第4のシリコン層の上に形成され、炭素を含み上記第4のシリコン層による引っ張り歪を受けた第5のシリコン層と、上記第5のシリコン層の上に形成されたゲート電極とを有し、上記

第5のシリコン層がpチャネル領域として機能するpチャネル型電界効果トランジスタをさらに備え、半導体装置を相補型デバイスとして機能させることができる。

【0047】これにより、ホール移動度の高いpチャネルを有するpチャネル型電界効果トランジスタと、電子移動度の高いnチャネルを有するnチャネル型電界効果トランジスタとを、共通の積層膜を用いて構成できる。

したがって、従来の半導体装置のごとく、ホール移動度の高いpチャネルとしてのみ機能できるチャネル領域

と、電子移動度の高いnチャネルとしてのみ機能できるチャネル領域とを積層する必要があることによっていずれか一方のチャネル領域がゲート電極から遠くなって十分な電界効果が得られないという不具合を確実に回避することができる。

【0048】この相補型デバイスとして機能する半導体装置において、上記nチャネル型電界効果トランジスタの第2のシリコン層と、上記pチャネル型電界効果トランジスタの第5のシリコン層とにおける炭素の組成は互いに等しいことが好ましい。

【0049】これにより、nチャネル型電界効果トランジスタの第2のシリコン層とpチャネル型電界効果トランジスタの第5のシリコン層とを、同じ成長工程で形成することが可能となり、製造工程の簡素化によって製造コストがさらに低減する。

【0050】この相補型デバイスとして機能する半導体装置においても、上記ゲート電極の直下に形成されたゲート絶縁膜をさらに備えていることが好ましく、また、上記第5のシリコン層の厚みは、上記炭素の組成で定まる転位発生のための臨界膜厚よりも小さいことが好ましい。

【0051】この相補型デバイスとして機能する半導体装置において、上記第2及び第5のシリコン層に、さらにゲルマニウムを含ませることができる。

【0052】これにより、ゲルマニウム、炭素の組成比を変えることによって、価電子帯端のヘテロ障壁の大きさと伝導帯端のヘテロ障壁の大きさを、半導体装置の種類などに応じて適宜調節することが可能になるので、共通の構造でnチャネル型としてもpチャネル型としても、キャリアの閉じこめ効率の高いチャネルを形成することが可能になる。

【0053】その場合、上記第2及び第5のシリコン層におけるゲルマニウムの組成比は互いに等しいことが好ましい。

【0054】これにより、nチャネル型電界効果トランジスタの第2のシリコン層とpチャネル型電界効果トランジスタの第5のシリコン層とを、同じ成長工程で形成することが可能となり、製造工程の簡素化によって製造コストがさらに低減する。

【0055】

【発明の実施の形態】（第1の実施形態）図1は、本発

明の基本的な特徴を説明するために、第1のシリコン層(Si層)と炭素(あるいは炭素及びゲルマニウム)を含む第2のシリコン層($Si_{1-y}Cy$ 層又は $Si_{1-x-y}Ge_xCy$ 層)との積層構造を抜き出して示す断面図である。

【0056】また、図2(a)～(c)は、第1～第3の実施形態に共通する炭素を含まない第1のシリコン層(Si層)と炭素を含む第2のシリコン層($Si_{1-y}Cy$ 層)とを積層する前の結晶構造図、積層後に $Si_{1-y}Cy$ 層が引っ張り歪を受けた状態を示す結晶構造図、及び積層後のSi層と $Si_{1-y}Cy$ 層とによるヘテロ接合構造のバンド図である。

【0057】まず、図2(a)に示すように、炭素の原子半径がシリコンに比べて小さいため、炭素を含むシリコン層つまり $Si_{1-y}Cy$ 層の格子定数はSi層の格子定数よりも小さい。したがって、図2(b)に示すように、Si層の上に $Si_{1-y}Cy$ 層を積層すると $Si_{1-y}Cy$ 層はSi層から引っ張り歪を受ける。特に、転位の発生する臨界膜厚以下の場合には、 $Si_{1-y}Cy$ 層はSi層から大きな引っ張り歪を受ける。そして、Si層と $Si_{1-y}Cy$ 層とからなるヘテロ接合構造のエネルギーバンドは、図2(c)に示す状態となる。

【0058】つまり、 $Si_{1-y}Cy$ 層の伝導帯では6重の縮退が解け、2重および4重に縮退したバンド($\Delta(2)$ および $\Delta(4)$)にスプリットする。このとき、 $Si_{1-y}Cy$ 層の伝導帯端は2重に縮退したバンド $\Delta(2)$ により構成され、バンド $\Delta(2)$ の電子の有効質量は、Si層の電子の有効質量よりも小さくなる。また、2重に縮退したバンド $\Delta(2)$ のエネルギーレベルは、Siの伝導帯端のエネルギーレベルよりも低くなるので、第2のシリコン層($Si_{1-y}Cy$ 層)と第1のシリコン層(Si層)との間にできるヘテロ障壁により電子を閉じこめることが可能になる。

【0059】一方、 $Si_{1-y}Cy$ 層の価電子帯でも同様に縮退が解け、ライトホール(LH)とヘビーホール(HH)バンドにスプリットする。このとき、 $Si_{1-y}Cy$ 層の価電子帯端は有効質量の小さいライトホールによるバンドにより構成され、このライトホールの有効質量はSi層のホールよりも小さくなる。また、ライトホールバンドのエネルギーレベルはSiの価電子帯のエネルギーレベルよりも高くなるので、第2のシリコン層($Si_{1-y}Cy$ 層)と第1のシリコン層(Si層)との間にできるヘテロ障壁によりホールを閉じこめることが可能になる。

【0060】図3は、本発明の第1の実施形態に係る炭素を含むシリコン層がチャンネル領域として機能するn-MOSFETの構造を示す断面図である。

【0061】同図に示すように、p型のシリコン基板10上に、第1のシリコン層12(Si層)と、炭素を含む第2のシリコン層13($Si_{1-y}Cy$ 層)と、炭素を

含まない第3のシリコン層14とがUHV-CVD法により順次積層されている。上記炭素を含む第2のシリコン層13は、電子が走行するチャンネル領域として機能する。

【0062】図5は、炭素を含まない単結晶シリコン層の上に積層された炭素を含むシリコン層に転位が発生しないような臨界膜厚 T_c の炭素組成の変化に対する変化を示す特性図である。この第2のシリコン層13の厚さを歪による転位が発生しないよう臨界膜厚 T_c 以下にすることが好ましいので、本実施形態では、第2のシリコン層13の炭素含有量を2%とし、その膜厚を10nmとしている。

【0063】また、第3のシリコン層14上には、第3のシリコン層14の熱酸化によって形成されたシリコン酸化膜からなるゲート絶縁膜15が設けられており、さらにその上にはゲート電極16が形成されている。ゲート電極16の両側には、n+層からなるソース・ドレイン領域17、18が形成され、その上にはソース・ドレイン電極19、20がそれぞれ形成されている。

【0064】図4(a)～(c)は、図3に示すn-MOSFETを動作させる場合、つまりゲート電極16に正の電圧を印加したときの第1のシリコン層12、第2のシリコン層13、第3のシリコン層14、ゲート絶縁膜15及びゲート電極16のバンド構造を示す図である。ただし、図4(a)の実線部分においては、バンド構造を単純化して示しているが、実際には伝導帯端は同図の破線で示すような形状となる。また、図4(b)は第1のシリコン層12に高濃度ドープ層を設けた場合のバンド構造を、図4(c)は第3のシリコン層14に高濃度ドープ層を設けた場合のバンド構造をそれぞれ示す。ゲート電極16に印加された電界により誘起された電子は、主に炭素を含み引っ張り歪を受けたチャンネル領域である第2のシリコン層13に閉じこめられ、図4

(a)～(c)の紙面に垂直な方向(チャンネル方向)に走行する。すなわち、この実施形態では、第1のシリコン層12-第2のシリコン層13間に形成されるヘテロ障壁と、第2のシリコン層13-第3のシリコン層14間に形成されるヘテロ障壁とにより、電子が第2のシリコン層13内に閉じこめられる。そして、上述のように、この方向に走行する電子の有効質量は小さく、結果として電子の移動度が向上し、トランジスタの動作速度が向上する。また、チャンネル領域である第2のシリコン層13の伝導帯の縮退が解け $\Delta(2)$ および $\Delta(4)$ のバンドに分離することにより、各バンドの谷同士の間での散乱を抑制することができるので、さらなる移動度の向上が期待できる。

【0065】さらに、本実施形態では、バンドギャップの大きな第1、第3のシリコン層12、14によってチャンネル領域である第2のシリコン層13が挟まれた量子井戸構造となっているため、誘起された電子はこの量子

井戸内に閉じ込められ、電子濃度が高くなってもヘテロ障壁を乗り越えることがなく、安定して走行することができる。つまり、GaAs等の化合物半導体を用いなくとも安価な材料で量子井戸構造を有する高機能のn-MOSFETを得ることができる。

【0066】なお、本実施形態では、電子が走行するチャネル領域である第2のシリコン層13が第3のシリコン層14の下方に設けられた埋め込みチャネル型MOSFETについて説明したが、第3のシリコン層14を有していない、チャネル領域である第2のシリコン層13の上に直接ゲート絶縁膜15を成膜もしくは熱酸化して形成した表面チャネル型MOSFETであってもかまわない。その場合には、第1のシリコン層12-第2のシリコン層13間に形成されるヘテロ障壁と、ゲート絶縁膜15とにより、電子が第2のシリコン層13内に閉じこめられるからである。そして、その場合にも、通常のMOSFETよりはキャリアの閉じこめ効率が高いことと、縮退が解けたバンドΔ(2)の電子の有効質量が小さいことにより、動作速度の向上効果を発揮することができる。また、図4(a)の破線に示すように、第1のシリコン層12と第2のシリコン層13との間には、電子を蓄積できるエネルギー準位のくぼみが形成される。また、第3のシリコン層14と第2のシリコン層13との間にも、電子を蓄積できるエネルギー準位のくぼみが形成される。

【0067】そして、第1のシリコン層12側のヘテロ障壁に近接した領域に高濃度のキャリア用不純物を含む高濃度ドープ層を形成することにより、上記2つのエネルギー準位のくぼみのうちいずれか一方をキャリア蓄積層として利用することができ、いわゆるHEMTを構成することも可能である(図4(b)参照)。その場合、キャリアを供給する高濃度ドープ層とキャリア蓄積層であるチャネルとが空間的に分離されているために、チャネルを走行するキャリアは、イオン化不純物による散乱を受けることなく高速で走行することができる。

【0068】ただし、図4(b)に示すエネルギーバンド状態で、2つのくぼみのうちいずれがキャリア蓄積層になるかは、ゲート電極16への電圧の程度によって異なる。ゲート電極16への印加電圧が大きい場合には、第2のシリコン層13と第3のシリコン層14との間のエネルギー準位のくぼみがキャリア蓄積層になり、ゲート電極16への印加電圧が小さい場合には、第1のシリコン層12と第2のシリコン層13との間のエネルギー準位のくぼみがキャリア蓄積層になる。また、ゲート電極16への印加電圧が中間的な値のときには、2つのエネルギー準位のくぼみがいずれもキャリア蓄積層になりうる。

【0069】また、第3のシリコン層14側のヘテロ障壁に近接した領域に高濃度のキャリア用不純物を含む高濃度ドープ層を形成した場合には、第2のシリコン層1

3と第3のシリコン層14との間のエネルギー準位のくぼみがキャリア蓄積層となるHEMTが構成される(図4(c)参照)。その場合にも上述と同じ理由により、キャリアの走行速度を向上させることができる。

【0070】ここで、高濃度ドープ層を第3のシリコン層14に形成した場合(図4(c)の場合)には、各シリコン層12~14及び高濃度ドープ層の不純物濃度及び厚み、ゲート電極16への電圧の印加状態などの使用条件によっては、高濃度ドープ層自体がチャネルとなってしまうおそれもある。従って、電界効果トランジスタの各部の構造や使用条件に応じて、第1のシリコン層12又は第3のシリコン層14のいずれに高濃度ドープ層を形成するかを選択することができる。

【0071】また、第3のシリコン層14と第2のシリコン層13との間のエネルギー準位のくぼみ(図4(a)の破線で示される部分)をキャリア蓄積層としなくてもチャネルとして利用することができる。その場合、ゲート絶縁膜15の直下ではなく、第3のシリコン層14の直下に電子が走行するチャネルが存在することになる。

【0072】通常のMOSTランジスタでは、ゲート絶縁膜直下にチャネル領域が存在するために、ゲート絶縁膜との境界面であるシリコン層表面の凹凸や、ゲート絶縁膜に接するシリコン層表面の界面準位によって、チャネルを走行する電子が散乱を受けるために、走行速度が遅くなっている。それに対し、この構造の場合には、第2のシリコン層13と第3のシリコン層14との間には界面準位はほとんどなく、かつ、一般的に第2、第3のシリコン層13、14はエピタキシャル成長により連続して形成されるので、第2のシリコン層13の表面の凹凸も少ない。したがって、チャネルを走行する電子の走行速度が向上する。

【0073】すなわち、一般的なMOSTランジスタに比べ高い動作速度を実現することができる。

【0074】(第2の実施の形態)図6は、本実施形態に係る炭素を含んだシリコン層をチャネル領域として用いたp-MOSFETの構造を示す断面図である。

【0075】同図に示すように、n型のシリコン基板10上に第1のシリコン層22と、炭素を含む第2のシリコン層23と、炭素を含まない第3のシリコン層24とがUHV-CVD法により順次積層されている。上記炭素を含んだ第2のシリコン層23は、ホールが走行するチャネル領域として機能する。なお、本実施形態においても、第2のシリコン層23の厚さは、歪による転位が発生しないよう臨界膜厚 T_c 以下にすることが好ましく、本実施形態では、第2のシリコン層23の炭素含有量は2%で、膜厚は10nmとしている。

【0076】また、第3のシリコン層24の上には、第3のシリコン層24の熱酸化によって形成されたシリコン酸化膜により構成されるゲート絶縁膜25が設けられ

ており、さらにその上にはゲート電極26が形成されている。ゲート電極26の両側には、p+層からなるソース・ドレイン領域27、28が形成され、その上にはソース・ドレイン電極29、30がそれぞれ形成されている。

【0077】ここで、上記第1の実施形態における図1及び図2(a)～(c)に示すように、炭素を含む第2のシリコン層23は、その格子定数が炭素を含まない第1のシリコン層22の格子定数よりも小さいため、引っ張り歪を受けた状態となる。この引っ張り歪により、図2(c)に示すように、第2のシリコン層23の価電子帯はライトホール(LH)とヘビーホール(HH)バンドにスプリットする。このとき、炭素を含む第2のシリコン層23の価電子帯端は有効質量の小さいライトホールによるバンドにより構成され、また、このライトホールの有効質量は第1のシリコン層22のホールの有効質量に比べて小さくなる。また、このようなバンド構造を有する第2のシリコン層23をチャネル領域としてp-MOSFETを構成すると、ホールの有効質量が小さくなることによりホール移動度が向上し、トランジスタの動作速度が向上する。また、上述のように、LHバンドのエネルギーレベルは第1のシリコン層22の価電子帯端のエネルギーレベルよりも高いので、第2のシリコン層23の側に有効質量の小さいホールを閉じこめるためのヘテロ障壁が形成される。

【0078】図7(a)～(c)は、図6に示すp-MOSFETを動作させるとき、つまりゲート電極26に負の電圧を印加したときの第1のシリコン層22、第2のシリコン層23、第3のシリコン層24、ゲート絶縁膜25及びゲート電極26のバンド構造を示す図である。ただし、図7(a)の実線部分においてはバンド構造を単純化して示しているが、実際には価電子帯端は同図の破線で示すような形状となる。また、図7(b)は第1のシリコン層22に高濃度ドープ層を設けた場合のバンド構造を、図7(c)は第3のシリコン層24に高濃度ドープ層を設けた場合のバンド構造をそれぞれ示す。ゲート電極26に印加された電界により誘起されたホールは、主に炭素を含み引っ張り歪を受けたチャネル領域である第2のシリコン層23に閉じこめられ、図7(a)～(c)の紙面に垂直な方向(チャネル方向)に走行する。すなわち、この実施形態では、第1のシリコン層22-第2のシリコン層23間に形成されるヘテロ障壁と、第2のシリコン層23-第3のシリコン層24間に形成されるヘテロ障壁とにより、ホールが第2のシリコン層23内に閉じこめられる。そして、上述のように、炭素を含み引っ張り歪を受けた第2のシリコン層23の価電子帯端は、有効質量の軽いLHバンドにより構成されているため、ホール移動度が向上し、トランジスタの動作速度が向上する。

【0079】さらに、本実施形態では、バンドギャップ

の大きな第1、第3のシリコン層22、24によってチャネル領域である第2のシリコン層23が挟まれた量子井戸構造となっているため、誘起されたホールはこの量子井戸内に閉じ込められ、ホール濃度が高くなってもヘテロ障壁を乗り越えることがなく、安定して走行することができる。つまり、GaAs等の化合物半導体を用いなくても安価な材料で量子井戸構造を有する高機能のp-MOSFETを得ることができる。

【0080】なお、本実施形態では、ホールが走行するチャネル領域である第2のシリコン層23が第3のシリコン層24の下方に設けられた埋め込みチャネル型MOSFETについて説明したが、第3のシリコン層24を有していない、チャネル領域である第2のシリコン層23の上に直接ゲート絶縁膜25を成膜もしくは熱酸化して形成した表面チャネル型MOSFETであってもかまわない。その場合には、第1のシリコン層22-第2のシリコン層23間に形成されるヘテロ障壁と、ゲート絶縁膜25とにより、ホールが第2のシリコン層23内に閉じこめられるからである。そして、その場合にも、通常のMOSFETよりはキャリアの閉じこめ効率が高いことと、縮退が解けたバンドのライトホールの有効質量が小さいことにより、動作速度の向上効果を発揮することができる。また、図7(a)の破線で示すように、第1のシリコン層22と第2のシリコン層23との間には、ホールを蓄積できるエネルギー準位のくぼみが形成される。また、第3のシリコン層24と第2のシリコン層23との間にも、ホールを蓄積できるエネルギー準位のくぼみが形成される。

【0081】そして、第1のシリコン層22側のヘテロ障壁に近接した領域に高濃度のキャリア用不純物を含む高濃度ドープ層を形成することにより、上記2つのエネルギー準位のくぼみのうちいずれかをキャリア蓄積層として利用することができ、いわゆるHEMTを構成することも可能である(図7(b)参照)。その場合、キャリアを供給する高濃度ドープ層とキャリア蓄積層であるチャネルとが空間的に分離されているために、チャネルを走行するキャリアは、イオン化不純物による散乱を受けることなく高速で走行することができる。

【0082】ただし、図7(b)に示すエネルギーバンド状態で、2つのくぼみのうちいずれがキャリア蓄積層になるかは、ゲート電極26への電圧の程度によって異なる。ゲート電極26への印加電圧が大きい場合には、第2のシリコン層23と第3のシリコン層24との間のエネルギー準位のくぼみがキャリア蓄積層になり、ゲート電極26への印加電圧が小さい場合には、第1のシリコン層22と第2のシリコン層23との間のエネルギー準位のくぼみがキャリア蓄積層になる。また、ゲート電極26への印加電圧が中間的な値のときには、2つのエネルギー準位のくぼみがいずれもキャリア蓄積層になりうる。

【0083】また、第3のシリコン層24側のヘテロ障壁に近接した領域に高濃度のキャリア用不純物を含む高濃度ドープ層を形成した場合には、第2のシリコン層23と第3のシリコン層24との間のエネルギー準位のくぼみがキャリア蓄積層となるHEMTが構成される(図7(c)参照)。その場合にも上述と同じ理由により、キャリアの走行速度を向上させることができる。

【0084】ここで、高濃度ドープ層を第3のシリコン層24に形成した場合(図7(c)の場合)には、各シリコン層22~24及び高濃度ドープ層の不純物濃度及び厚み、ゲート電極26への電圧の印加状態などの使用条件によっては、高濃度ドープ層自体がチャネルとなってしまうおそれもある。従って、電界効果トランジスタの各部の構造や使用条件に応じて、第1のシリコン層22又は第3のシリコン層24のいずれに高濃度ドープ層を形成するかを選択することができる。

【0085】また、第3のシリコン層24と第2のシリコン層23との間のエネルギー準位のくぼみ(図7(a)の破線で示される部分)をキャリア蓄積層としなくてもチャネルとして利用することができる。その場合、ゲート絶縁膜25の直下ではなく、第3のシリコン層24の直下にホールが走行するチャネルが存在することになる。

【0086】通常のMOSトランジスタでは、ゲート絶縁膜直下にチャネル領域が存在するために、ゲート絶縁膜との境界面であるシリコン層表面の凹凸や、ゲート絶縁膜に接するシリコン層表面の界面準位によって、チャネルを走行するホールが散乱を受けるために、走行速度が遅くなっている。それに対し、この構造の場合には、第2のシリコン層23と第3のシリコン層24の間には界面準位はほとんどなく、かつ、一般的に第2、第3のシリコン層23、24はエピタキシャル成長により連続して形成されるので、第2のシリコン層23の表面の凹凸も少ない。したがって、チャネルを走行するホールの走行速度が向上する。

【0087】すなわち、一般的なMOSトランジスタに比べ高い動作速度を実現することができる。

【0088】(第3の実施形態)図8は、本実施形態に係る炭素を含んだシリコン層を各々のチャネル領域として利用したn-MOSFETとp-MOSFETとを有するCMOSFETの構造を示す断面図である。

【0089】本実施形態のCMOSFETは、基本的には、シリコン基板10の上に、第1の実施形態で説明したn-MOSFETと第2の実施形態で説明したp-MOSFETとがSiO₂分離層を介して隣接して形成された構造となっている。同図に示すように、n-MOSFETの下方にはpウェル11が、p-MOSFETの下方にはnウェル21が形成されている。

【0090】そして、n-MOSFETにおいては、pウェル11の上に、第1のシリコン層12と、炭素を含

む第2のシリコン層13と、炭素を含まない第3のシリコン層14とがUHV-CVD法により順次積層されている。上記炭素を含んだ第2のシリコン層13は、電子が走行するnチャネルとして機能する。第2のシリコン層13の膜厚は歪による転位が発生しないよう臨界膜厚T_c以下にすることが好ましく、本実施形態では、第2のシリコン層13の炭素含有量は2%で、膜厚は10nmとしている。また、第3のシリコン層14の上には、第3のシリコン層14の熱酸化によって形成されたシリコン酸化膜により構成されるゲート絶縁膜が設けられており、さらにその上にはゲート電極16が形成されている。ゲート電極16の両側には、n+層からなるソース・ドレイン領域17、18が形成され、その上にはソース・ドレイン電極19、20がそれぞれ形成されている。

【0091】一方、p-MOSFETにおいては、nウェル21の上に、第1のシリコン層22と、炭素を含む第2のシリコン層23と、炭素を含まない第3のシリコン層24とがUHV-CVD法により順次積層されている。上記炭素を含んだ第2のシリコン層23は、ホールが走行するpチャネルとして機能する。p-MOSFETにおいても、第2のシリコン層23の炭素含有量は2%で、膜厚は10nmとしている。また、第3のシリコン層24の上には、第3のシリコン層24の熱酸化によって形成されたシリコン酸化膜により構成されるゲート絶縁膜が設けられており、さらにその上にはゲート電極26が形成されている。ゲート電極26の両側には、p+層からなるソース・ドレイン領域27、28が形成され、その上にはソース・ドレイン電極29、30がそれぞれ形成されている。

【0092】本実施形態では、n-MOSFET及びp-MOSFETの双方において、キャリアが走行するチャネル領域は、どちらも炭素を含み引っ張り歪を受けた第2のシリコン層13、23により構成されている。

【0093】上記第1、第2の実施形態で説明したように、炭素を含み引っ張り歪を受けた第2のシリコン層13、23は、伝導帯端のエネルギーレベルが炭素を含まない第1のシリコン層12、22に比べて低く、価電子帯端のエネルギーレベルが第1のシリコン層12、22に比べて高くなり、伝導帯、価電子帯の両方に、第2のシリコン層13、23にキャリアを閉じこめるためのエネルギー障壁が形成される。したがって、第2のシリコン層13、23に、電子およびホールの両方を閉じ込めることができるチャネル領域を形成することができる。

【0094】従来、SiGe/Siを主体としたヘテロ接合構造を用いたCMOSFET(特開昭61-282278号公報)では、単一の組成で電子およびホールをチャネル領域に閉じこめるためのヘテロ障壁を形成することができなかったため、nチャネルとなる結晶層とpチャネルとなる結晶層とを別々の組成で構成し、それら

を積層した構造を採らざるを得なかった。しかし、そのような構造では、結晶成長が複雑となり、かつスループットの低下を招くおそれがある。また、 n チャネルと p チャネルのうち下方となるチャネル領域はゲート絶縁膜から遠く離れるため、ゲート電圧を印加しても、十分な電界がチャネル領域にかからないおそれもある。しかも、格子緩和のための厚いバッファ層が不可欠であり、先に述べたように信頼性、スループットが悪いという問題を含んでいる。

【0095】それに対し、本実施形態では、 Si 層の上に形成された引っ張り歪を受けている $Si_{1-y}Cy$ 層においては伝導帯、価電子帯の両方に、 $Si_{1-y}Cy$ 層にキャリアを閉じこめるためのヘテロ障壁が形成されることを利用して、 $Si_{1-y}Cy$ 層を n チャネルとしても p チャネルとしても利用することができる。すなわち、第2のシリコン層13、23に、それぞれ電子、ホールが高速で走行する n チャネル、 p チャネルを構成することができる。その結果、 n -MOSFET及び p -MOSFETのいずれにおいても、チャネル領域となる第2のシリコン層13、23をゲート絶縁膜に近接した位置に形成することができるため、ゲート電極16、26に印加した電圧による電界を確実にチャネル領域に及ぼすことができる。しかも、上記従来の技術のような格子緩和のための厚いバッファ層を必要としないため、製造工程中の結晶成長工程が簡略化され、信頼性の向上、スループットの向上を図ることができる。

【0096】（第4の実施の形態）第4～第6の実施形態においても、本発明の基本的なヘテロ接合構造は図1に示す構造と同じであり、 Si 層からなる第1のシリコン層の上に $Si_{1-x-y}Ge_xCy$ 層からなる第2のシリコン層を積層する構造を前提としている。

【0097】図9（a）～（c）は、第4～第6の実施形態に共通する炭素を含まない第1のシリコン層（ Si 層）と炭素及びゲルマニウムを含む第2のシリコン層（ $Si_{1-x-y}Ge_xCy$ 層）とを積層する前の結晶構造図、積層後に $Si_{1-x-y}Ge_xCy$ 層が引っ張り歪を受けた状態を示す結晶構造図、及び積層後の Si 層と $Si_{1-x-y}Ge_xCy$ 層とによるヘテロ接合構造のバンド図である。

【0098】まず、図9（a）に示すように、炭素およびゲルマニウムを含む第2のシリコン層（ $Si_{1-x-y}Ge_xCy$ 層）は、ゲルマニウム組成 x 、炭素組成 y の関係が、 $x < 8 \cdot 2y$ であるとき、格子定数が第1のシリコン層（ Si 層）に比べて小さい。したがって、図9（b）に示すように、 Si 層の上に $Si_{1-x-y}Ge_xC$

y 層を成長させた場合には、 $Si_{1-x-y}Ge_xCy$ 層が引っ張り歪を受けた状態となる。特に、臨界膜厚 T_c 以下の厚みで成長させた場合には、 $Si_{1-x-y}Ge_xCy$ 層が大きな引っ張り歪を受けた状態となる。この引っ張り歪により、 $Si_{1-x-y}Ge_xCy$ 層の伝導帯は縮退が解けて、図9（c）に示したように $\Delta(2)$ が伝導帯端となる。その結果、第1のシリコン層52との界面付近に伝導帯のバンド不連続が生じる。

【0099】つまり、 $Si_{1-x-y}Ge_xCy$ 層の伝導帯では6重の縮退が解け、2重および4重に縮退したバンド（ $\Delta(2)$ および $\Delta(4)$ ）にスプリットする。このとき、 $Si_{1-x-y}Ge_xCy$ 層の伝導帯端は2重に縮退したバンド $\Delta(2)$ により構成され、バンド $\Delta(2)$ の電子の有効質量は、 Si 層の電子の有効質量よりも小さくなる。また、2重に縮退したバンド $\Delta(2)$ のエネルギーレベルは、 Si の伝導帯端のエネルギーレベルよりも低くなるので、第2のシリコン層（ $Si_{1-x-y}Ge_xCy$ 層）と第1のシリコン層（ Si 層）との間にできるヘテロ障壁により電子を閉じこめることが可能になる。

【0100】一方、 $Si_{1-x-y}Ge_xCy$ の価電子帯でも同様に縮退が解け、ライトホール（LH）とヘビーホール（HH）バンドにスプリットする。このとき、 $Si_{1-x-y}Ge_xCy$ の価電子帯端は有効質量の小さいライトホールによるバンドにより構成され、このライトホールの有効質量は Si 層のホールよりも小さくなる。また、ライトホールバンドのエネルギーレベルは Si の価電子帯のエネルギーレベルよりも高くなるので、第2のシリコン層（ $Si_{1-x-y}Ge_xCy$ ）と第1のシリコン層（ Si 層）との間にできるヘテロ障壁によりホールを閉じこめることが可能になる。

【0101】このヘテロ障壁の大きさは、文献（K. Bruner, W. Winter, K. Eberl, N. Y. Jin-Phillipp, F. Phillipp, "Fabrication and band alignment of pseudomorphic $Si_{1-y}Cy$, $Si_{1-x-y}Ge_xCy$ and coupled $Si_{1-y}Cy/Si_{1-x-y}Ge_xCy$ quantum well structures on Si substrates," Journal of Crystal Growth 175/176 (1997) 451-458)に記載されているように、先に述べた Ge を含まない第2のシリコン層（ $Si_{1-y}Cy$ ）を用いた場合に比べて大きくすることができる。例えば、 C 濃度を6%とした場合に、 Ge 28%を含むときと Ge を全く含まないときとでは、伝導帯端及び価電子帯端に生じるヘテロ障壁の大きさは、下記表1のようになる。

【0102】

【表1】

21

22

	伝導帯端での ヘテロ障壁	価電子帯端での ヘテロ障壁
Si _{0.94} Co _{0.06} /Si	280meV	90meV
(Si _{0.7} Ge _{0.3}) _{0.94} Co _{0.06} /Si	145meV	125meV

【0103】すなわち、伝導帯端ではヘテロ障壁が小さくなり、価電子帯端ではヘテロ障壁が大きくなる。つまり、引っ張り歪を受けたSi_{1-y}Cyより引っ張り歪を受けたSi_{1-x-y}GexCyの方が価電子帯端でのヘテロ障壁を大きくすることができるので、第2のシリコン層をSi_{1-y}Cyではなく引っ張り歪を受けたSi_{1-x-y}GexCyにより構成することにより、ホール

の閉じこめ効率が向上し、高速動作に適したデバイスとなる。

【0104】また、Si_{1-x-y}GexCyにおけるx、yの値を変えることにより、伝導帯端のヘテロ障壁の大きさと、価電子帯端のヘテロ障壁の大きさとの比を所望の値に調整することができる。

【0105】図10は、本実施形態に係る炭素とゲルマニウムを含みかつ引っ張り歪を受けたシリコン層をチャンネル領域として利用したn-MOSFETの構造を示す断面図である。

【0106】同図に示すように、p型のシリコン基板50の上には、炭素等を含まない第1のシリコン層52と、炭素およびゲルマニウムを含み引っ張り歪を受けた第2のシリコン層53と、炭素等を含まない第3のシリコン層54とがUHV-CVD法により順次積層されている。上記炭素およびゲルマニウムを含んだ第2のシリコン層53は、電子が走行するチャンネル領域として機能する。

【0107】ここで、炭素及びゲルマニウムを含む第2のシリコン層53の臨界膜厚について説明する。図12は、第2のシリコン層53中の炭素・ゲルマニウムの組成比に対するSi_{1-x-y}GexCy層に転位が発生しないような臨界膜厚Tcの変化を示す特性図である。図12に示すように、炭素を含まない単結晶シリコン層の上に形成された炭素及びゲルマニウムを含むSi_{1-x-y}GexCyという組成式で表される第2のシリコン層53は、ゲルマニウム組成x、炭素組成yの関係が、x < 8・2yの関係にあってその厚みが臨界膜厚Tc以下のときに、引っ張り歪を受けかつ転位がほとんどない状態になる。本実施形態では、転位の発生をなくすために第2のシリコン層53の厚さを臨界膜厚Tc以下にすべく、第2のシリコン層53のゲルマニウム組成を20%、炭素組成を4%とし、その膜厚を10nmとしている。

【0108】また、第3のシリコン層54の上には、第3のシリコン層54の熱酸化によって形成されたシリコン酸化膜からなるゲート絶縁膜55が設けられており、

さらにその上にはゲート電極56が形成されている。ゲート電極56の両側には、n+層からなるソース・ドレイン領域57、58が形成され、その上にはソース・ドレイン電極59、60がそれぞれ形成されている。炭素およびゲルマニウムを含み引っ張り歪をうけたチャンネル領域である第2のシリコン層53を走行する電子は、ゲート電極56に印加される電圧により制御されている。

【0109】図11(a)～(c)は、図10に示すn-MOSFETを動作させる場合、つまりゲート電極56に正の電圧を印加したときの第1のシリコン層52、第2のシリコン層53、第3のシリコン層54、ゲート絶縁膜55及びゲート電極56のバンド構造を示す図である。ただし、図11(a)の実線部分においてはバンド構造を単純化して示しているが、実際には伝導帯端は同図の破線で示すような形状となる。また、図11

(b)は第1のシリコン層52に高濃度ドープ層を設けた場合のバンド構造を、図11(c)は第3のシリコン層54に高濃度ドープ層を設けた場合のバンド構造をそれぞれ示す。ゲート電極56に印加された電界により誘起された電子は、主に炭素及びゲルマニウムを含み引っ張り歪を受けたチャンネル領域である第2のシリコン層53に閉じこめられ、図11(a)～(c)の紙面に垂直な方向(チャンネル方向)に走行する。すなわち、この実施形態では、第1のシリコン層52-第2のシリコン層53間に形成されるヘテロ障壁と、第2のシリコン層53-第3のシリコン層54間に形成されるヘテロ障壁とにより、電子が第2のシリコン層53内に閉じこめられる。そして、上述のように、この方向に走行する電子の有効質量は小さく、結果として電子の移動度が向上し、トランジスタの動作速度が向上する。また、チャンネル領域である第2のシリコン層53の伝導帯の縮退が解けΔ(2)およびΔ(4)のバンドに分離することにより、各バンドの谷同士の間

の散乱を抑制することができ、さらなる移動度の向上が期待できる。

【0110】さらに、本実施形態では、バンドギャップの大きな第1、第3のシリコン層52、54によってチャンネル領域である第2のシリコン層53が挟まれた量子井戸構造となっているため、誘起された電子はこの量子井戸内に閉じ込められ、電子濃度が高くなってもヘテロ障壁を乗り越えることがなく、安定して走行することができる。つまり、GaAs等の化合物半導体を用いなくとも安価な材料で量子井戸構造を有する高機能のn-MOSFETを得ることができる。

【0111】以上のように、n-MOSFETのチャネ

ル領域を炭素およびゲルマニウムを含み引っ張り歪を受けた第2のシリコン層53で構成することにより、n-MOSFETの速度を向上させることができる。

【0112】なお、本実施形態では、電子が走行するチャネル領域である第2のシリコン層53が第3のシリコン層54の下方に設けられた埋め込みチャネル型MOSFETについて説明したが、第3のシリコン層54を有していない、チャネル領域である第2のシリコン層53の上に直接ゲート絶縁膜55を成膜もしくは熱酸化して形成した表面チャネル型MOSFETであってもかまわない。その場合には、第1のシリコン層52-第2のシリコン層53間に形成されるヘテロ障壁と、ゲート絶縁膜55とにより、電子が第2のシリコン層53内に閉じこめられるからである。そして、その場合にも、通常のMOSFETよりはキャリアの閉じこめ効率が高いことと、縮退が解けたバンドΔ(2)の電子の有効質量が小さいことにより、動作速度の向上効果を発揮することができる。また、図11(a)の破線に示すように、第1のシリコン層52と第2のシリコン層53との間には、電子を蓄積できるエネルギー準位のくぼみが形成される。また、第3のシリコン層54と第2のシリコン層53との間にも、電子を蓄積できるエネルギー準位のくぼみが形成される。

【0113】そして、第1のシリコン層52側のヘテロ障壁に近接した領域に高濃度のキャリア用不純物を含む高濃度ドープ層を形成することにより、上記2つのエネルギー準位のくぼみのうちいずれか一方をキャリア蓄積層として利用することができ、いわゆるHEMTを構成することも可能である(図11(b)参照)。その場合、キャリアを供給する高濃度ドープ層とキャリア蓄積層であるチャネルとが空間的に分離されているために、チャネルを走行するキャリアは、イオン化不純物による散乱を受けることなく高速で走行することができる。

【0114】ただし、図11(b)に示すエネルギーバンド状態で、2つのくぼみのうちいずれがキャリア蓄積層になるかは、ゲート電極56への電圧の程度によって異なる。ゲート電極56への印加電圧が大きい場合には、第2のシリコン層53と第3のシリコン層54との間のエネルギー準位のくぼみがキャリア蓄積層になり、ゲート電極56への印加電圧が小さい場合には、第1のシリコン層52と第2のシリコン層53との間のエネルギー準位のくぼみがキャリア蓄積層になる。また、ゲート電極56への印加電圧が中間的な値のときには、2つのエネルギー準位のくぼみがいずれもキャリア蓄積層になりうる。

【0115】また、第3のシリコン層54側のヘテロ障壁に近接した領域に高濃度のキャリア用不純物を含む高濃度ドープ層を形成した場合には、第2のシリコン層53と第3のシリコン層54との間のエネルギー準位のく

ぼみがキャリア蓄積層となるHEMTが構成される(図11(c)参照)。その場合にも上述と同じ理由により、キャリアの走行速度を向上させることができる。

【0116】ここで、高濃度ドープ層を第3のシリコン層54に形成した場合(図11(c)の場合)には、各シリコン層52~54及び高濃度ドープ層の不純物濃度及び厚み、ゲート電極56への電圧の印加状態などの使用条件によっては、高濃度ドープ層自体がチャネルとなってしまうおそれもある。従って、電界効果トランジスタの各部の構造や使用条件に応じて、第1のシリコン層52又は第3のシリコン層54のいずれに高濃度ドープ層を形成するかを選択することができる。

【0117】また、第3のシリコン層54と第2のシリコン層53との間のエネルギー準位のくぼみ(図11(a)の破線で示される部分)をキャリア蓄積層としなくてもチャネルとして利用することができる。その場合、ゲート絶縁膜55の直下ではなく、第3のシリコン層54の直下に電子が走行するチャネルが存在することになり、上記第1の実施形態で説明したように、一般的なMOSトランジスタに比べ高い動作速度を実現することができる。

【0118】(第5の実施の形態)図13は、本実施形態に係る炭素とゲルマニウムを含み引っ張り歪を受けたシリコン層をチャネル領域として利用したp-MOSFETの構造を示す断面図である。

【0119】同図に示すように、n型のシリコン基板50の上には、炭素等を含まない第1のシリコン層62と、炭素およびゲルマニウムを含み引っ張り歪を受けた第2のシリコン層63と、炭素等を含まない第3のシリコン層64とがUHV-CVD法により順次積層されている。上記炭素およびゲルマニウムを含んだ第2のシリコン層63は、ホールが走行するチャネル領域として機能する。

【0120】上述のように、炭素を含まないSi層の上に形成された炭素及びゲルマニウムを含む $Si_{1-x-y}Ge_xC_y$ という組成式で表される第2のシリコン層63は、ゲルマニウム組成x、炭素組成yの関係が、 $x < 8 \cdot 2y$ の関係にあるとき、引っ張り歪を受けることになる。また、この第2のシリコン層63の厚さは、歪による転位が発生しないよう臨界膜厚 T_c 以下にすることが好ましい。そこで、本実施形態では、第2のシリコン層63のゲルマニウム組成は20%、炭素組成は4%で、膜厚は10nmとしている。

【0121】また、第3のシリコン層64の上には、第3のシリコン層64の熱酸化によって形成されたシリコン酸化膜により構成されるゲート絶縁膜65が設けられており、さらにその上にはゲート電極66が形成されている。ゲート電極66の両側には、p+層からなるソース・ドレイン領域67、68が形成され、その上にはソース・ドレイン電極69、70がそれぞれ形成されてい

る。炭素およびゲルマニウムを含み引っ張り歪をうけたチャネル領域である第2のシリコン層63を走行するホールは、ゲート電極66に印加される電圧により制御されている。

【0122】上述のように、炭素およびゲルマニウムを含んだ第2のシリコン層63は、ゲルマニウム組成 x 、炭素組成 y の関係が $x < 8$ 、 $2y$ で臨界膜厚 T_c 以下の厚みの領域では、引っ張り歪を受けかつ転位がほとんど生じない。

【0123】一方、 $Si_{1-x-y}Ge_xCy$ の価電子帯でも同様に縮退が解け、ライトホール(LH)とヘビーホール(HH)バンドにスプリットする。このとき、 $Si_{1-x-y}Ge_xCy$ の価電子帯端は有効質量の小さいライトホールによるバンドにより構成され、このライトホールの有効質量は第1のシリコン層62のホールの有効質量に比べて小さくなる。特に、図9(c)と図2(c)とを比較するとわかるように、炭素とゲルマニウムを含み引っ張り歪を受けたシリコン層($Si_{1-x-y}Ge_xCy$ 層)のLHバンドのエネルギーレベルとこれらを含まないシリコン層の価電子帯端とのエネルギーレベル差は、炭素を含み引っ張り歪を受けたシリコン層($Si_{1-y}Cy$ 層)のLHバンドと炭素を含まないシリコン層の価電子帯端とのエネルギーレベル差に比べて大きい。したがって、炭素とゲルマニウムを含み引っ張り歪を受けたシリコン層($Si_{1-x-y}Ge_xCy$ 層)をpチャネルとして用いた場合には、炭素を含み引っ張り歪を受けたシリコン層($Si_{1-y}Cy$ 層)をpチャネルとして用いる場合に比べ、より大きなヘテロ障壁が形成されるため、ホールの閉じ込め効果の向上が期待できる。

【0124】図14(a)～(c)は、図13に示すp-MOSFETを動作させる場合、つまりゲート電極66に負の電圧を印加したときの第1のシリコン層62、第2のシリコン層63、第3のシリコン層64、ゲート絶縁膜65及びゲート電極66のバンド構造を示す図である。ただし、図14(a)の実線部分においてはバンド構造を単純化して示しているが、実際には価電子帯端は同図の破線で示すような形状となる。また、図14

(b)は第1のシリコン層62に高濃度ドープ層を設けた場合のバンド構造を、図14(c)は第3のシリコン層64に高濃度ドープ層を設けた場合のバンド構造をそれぞれ示す。ゲート電極66に印加された電界により誘起されたホールは、主に炭素及びゲルマニウムを含み引っ張り歪を受けたチャネル領域である第2のシリコン層63に閉じこめられ、図14の紙面に垂直な方向(チャネル方向)に走行する。すなわち、この実施形態では、第1のシリコン層62～第2のシリコン層63間に形成されるヘテロ障壁と、第2のシリコン層63～第3のシリコン層64間に形成されるヘテロ障壁とにより、ホールが第2のシリコン層63内に閉じこめられる。そして、第2のシリコン層63の価電子帯端は、有効質量の

軽いLHバンドにより構成されているため、この方向に走行するホールの有効質量は小さく、結果としてホール移動度が向上し、トランジスタの動作速度が向上する。

【0125】さらに、本実施形態では、バンドギャップの大きな第1、第3のシリコン層62、64によってチャネル領域である第2のシリコン層63が挟まれた量子井戸構造となっているため、誘起されたホールはこの量子井戸内に閉じ込められ、ホール濃度が高くなってもヘテロ障壁を乗り越えることがなく、安定して走行することができる。つまり、GaAs等の化合物半導体を用いなくても安価な材料で量子井戸構造を有する高機能のp-MOSFETを得ることができる。

【0126】以上のように、p-MOSFETのチャネル領域を炭素およびゲルマニウムを含み引っ張り歪を受けた第2のシリコン層63で構成することにより、p-MOSFETの速度を向上させることができる。

【0127】なお、本実施形態では、電子が走行するチャネル領域である第2のシリコン層63が第3のシリコン層64の下方に設けられた埋め込みチャネル型MOSFETについて説明したが、第3のシリコン層64を有していない、チャネル領域である第2のシリコン層63の上に直接ゲート絶縁膜65を成膜もしくは熱酸化して形成した表面チャネル型MOSFETであってもかまわない。その場合には、第1のシリコン層62～第2のシリコン層63間に形成されるヘテロ障壁と、ゲート絶縁膜65とにより、ホールが第2のシリコン層63内に閉じこめられるからである。そして、その場合にも、通常のMOSFETよりはキャリアの閉じこめ効率が高いことと、縮退が解けたバンドのライトホールの有効質量が小さいことにより、動作速度の向上効果を発揮することができる。また、図14(a)の破線で示すように、第1のシリコン層62と第2のシリコン層63との間には、ホールを蓄積できるエネルギー準位のくぼみが形成される。また、第3のシリコン層64と第2のシリコン層63との間にも、ホールを蓄積できるエネルギー準位のくぼみが形成される。

【0128】そして、第1のシリコン層62側のヘテロ障壁に近接した領域に高濃度のキャリア用不純物を含む高濃度ドープ層を形成することにより、上記2つのエネルギー準位のくぼみのうちいずれか一方をキャリア蓄積層として利用することができ、いわゆるHEMTを構成することも可能である(図14(b)参照)。その場合、キャリアを供給する高濃度ドープ層とキャリア蓄積層であるチャネルとが空間的に分離されているののために、チャネルを走行するキャリアは、イオン化不純物による散乱を受けることなく高速で走行することができる。

【0129】ただし、図14(b)に示すエネルギーバンド状態で、2つのくぼみのうちいずれかがキャリア蓄積層になるかは、ゲート電極66への電圧の程度によっ

て異なる。ゲート電極66への印加電圧が大きい場合には、第2のシリコン層63と第3のシリコン層64との間のエネルギー準位のくぼみがキャリア蓄積層になり、ゲート電極66への印加電圧が小さい場合には、第1のシリコン層62と第2のシリコン層63との間のエネルギー準位のくぼみがキャリア蓄積層になる。また、ゲート電極66への印加電圧が中間的な値のときには、2つのエネルギー準位のくぼみがいずれもキャリア蓄積層になりうる。

【0130】また、第3のシリコン層64側のヘテロ障壁に近接した領域に高濃度のキャリア用不純物を含む高濃度ドーパ層を形成した場合には、第2のシリコン層63と第3のシリコン層64との間のエネルギー準位のくぼみがキャリア蓄積層となるHEMTが構成される(図14(c)参照)。その場合にも上述と同じ理由により、キャリアの走行速度を向上させることができる。

【0131】ここで、高濃度ドーパ層を第3のシリコン層64に形成した場合(図14(c)の場合)には、各シリコン層62~64及び高濃度ドーパ層の不純物濃度及び厚み、ゲート電極66への電圧の印加状態などの使用条件によっては、高濃度ドーパ層自体がチャネルとなってしまうおそれもある。従って、電界効果トランジスタの各部の構造や使用条件に応じて、第1のシリコン層62又は第3のシリコン層64のいずれに高濃度ドーパ層を形成するかを選択することができる。

【0132】また、第3のシリコン層64と第2のシリコン層63との間のエネルギー準位のくぼみ(図14(a)の破線で示される部分)をキャリア蓄積層としなくてもチャネルとして利用することができる。その場合、ゲート絶縁膜65の直下ではなく、第3のシリコン層64の直下にホールが走行するチャネルが存在することになり、上記第2の実施形態で説明したように、一般的なMOSトランジスタに比べ高い動作速度を実現することができる。

【0133】(第6の実施の形態)図15は、本実施形態に係る炭素及びゲルマニウムを含んだシリコン層を各々のチャネル領域として利用した例であるCMOSFETの構造を示す断面図である。

【0134】本実施形態のCMOSFETは、基本的には、シリコン基板50の上に、第4の実施形態で説明したn-MOSFETと第5の実施形態で説明したp-MOSFETとがSiO₂分離溝を介して隣接して形成された構造となっている。そして、n-MOSFETの下方にはpウェル51が、p-MOSFETの下方にはnウェル61が形成されている。

【0135】そして、n-MOSFETにおいては、pウェル51の上に、第1のシリコン層52と、炭素及びゲルマニウムを含むSi_{1-x-y}Ge_xCyからなる第2のシリコン層53と、炭素及びゲルマニウムを含まない第3のシリコン層54とがUHV-CVD法により順次

積層されている。上記炭素及びゲルマニウムを含んだ第2のシリコン層53は、電子が走行するチャネル領域として機能する。この第2のシリコン層53には引っ張り歪を受け、かつその厚さは、歪による転位が発生しないよう臨界膜厚T_c以下にすることが好ましい。そこで、本実施形態では、第2のシリコン層53のゲルマニウム組成は20%、炭素組成は4%で、膜厚は10nmとしている。また、第3のシリコン層54の上には、第3のシリコン層54の熱酸化によって形成されたシリコン酸化膜により構成されるゲート絶縁膜が設けられており、さらにその上にはゲート電極56が形成されている。ゲート電極56の両側には、n+層からなるソース・ドレイン領域57、58が形成され、その上にはソース・ドレイン電極59、60がそれぞれ形成されている。

【0136】一方、p-MOSFETにおいては、nウェル61の上に、第4のシリコン層62と、炭素及びゲルマニウムを含むSi_{1-x-y}Ge_xCyからなる第5のシリコン層63と、炭素及びゲルマニウムを含まない第6のシリコン層64とがUHV-CVD法により順次積層されている。上記炭素及びゲルマニウムを含んだ第5のシリコン層63は、ホールが走行するチャネル領域として機能する。p-MOSFETにおいても、第5のシリコン層63のゲルマニウム組成は20%、炭素組成は4%で、膜厚は10nmとしている。つまり、n-MOSFETの第2のシリコン層53とp-MOSFETの第5のシリコン層63とは、導電型が逆であるが、互いに同じ組成を有している。また、第6のシリコン層64の上には、第6のシリコン層64の熱酸化によって形成されたシリコン酸化膜により構成されるゲート絶縁膜が設けられており、さらにその上にはゲート電極66が形成されている。ゲート電極66の両側には、p+層からなるソース・ドレイン領域67、68が形成され、その上にはソース・ドレイン電極69、70がそれぞれ形成されている。なお、n-MOSFETの第2のシリコン層52とp-MOSFETの第4のシリコン層62とは互いに同じ組成を有し、n-MOSFETの第3のシリコン層54とp-MOSFETの第6のシリコン層64とは互いに同じ組成を有している。

【0137】本実施形態では、n-MOSFET及びp-MOSFETの双方において、キャリアが走行するチャネル領域は、どちらも炭素及びゲルマニウムを含み引っ張り歪を受けた第2、第5のシリコン層53、63により構成されている。

【0138】上記第4、第5の実施形態で説明したように、炭素及びゲルマニウムを含み引っ張り歪を受けた第2、第5のシリコン層53、63は、伝導帯端のエネルギーレベルが炭素等を含まない第1、第4のシリコン層52、62に比べて低く、価電子帯端のエネルギーレベルが第1、第4のシリコン層52、62に比べて高くなり、伝導帯、価電子帯の両方に、第2、第5のシリコン

層53, 63にキャリアを閉じこめるためのヘテロ障壁が形成される。したがって、電子およびホールを両方を閉じ込めることが可能なチャンネル領域を形成することができる。

【0139】従来、SiGe/Siを主体としたヘテロ接合構造を用いたCMOSFET（特開昭61-282278号公報）では、単一の組成で電子およびホールをチャンネル領域に閉じこめるためのヘテロ障壁を形成することができなかつたため、nチャンネル領域とpチャンネル領域を別々の組成で構成し、それらを積層した構造を採らざるを得なかつた。しかし、そのような構造では、結晶成長が複雑となり、かつスループットの低下を招くおそれがある。また、nチャンネル領域とpチャンネル領域のうち下方となるチャンネル領域はゲート絶縁膜から遠く離れるため、ゲート電圧を印加しても、十分な電界がチャンネル領域に加わらないおそれもある。しかも、格子緩和のための厚いバッファ層が不可欠であり、先に述べたように信頼性、スループットが悪いという問題を含んでいる。

【0140】しかしながら、本実施形態では、Si層の上に形成された引っ張り歪を受けている $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ 層においては伝導帯、価電子帯の両方にキャリアを $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ 層に閉じこめるためのヘテロ障壁が形成されることを利用して、 $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ 層をnチャンネルとしてもpチャンネルとしても利用することができる。すなわち、第2, 第5のシリコン層53, 63に、それぞれ電子、ホールが高速で走行するnチャンネル, pチャンネルを構成することができる。その結果、n-MOSFET及びp-MOSFETのいずれにおいても、チャンネル領域となる第2, 第5のシリコン層53, 63をゲート絶縁膜に近接した位置に形成することができるため、ゲート電極56, 66に印加した電圧による電界を確実にチャンネル領域に及ぼすことができる。しかも、上記従来の技術のような格子緩和のための厚いバッファ層を必要としないため、製造工程中の結晶成長工程が簡略化され、信頼性の向上、スループットの向上を図ることができる。

【0141】加えて、炭素とゲルマニウムを含み引っ張り歪を受けたシリコン層（ $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ 層）のLHバンドのエネルギーレベルとこれらを含まないシリコン層の価電子帯端とのエネルギーレベル差は、炭素を含み引っ張り歪を受けたシリコン層（ Si_{1-y}Cy 層）のLHバンドと炭素を含まないシリコン層の価電子帯端とのエネルギーレベル差に比べて大きい。したがって、本実施形態のCMOSFET中のp-MOSFETの方が上記第3の実施形態のCMOSFET中のp-MOSFETよりも大きなヘテロ障壁が形成されるため、ホールの閉じ込め効果の向上が期待できる。

【0142】特に、上述のように、炭素とゲルマニウムの組成比を変えることによって、伝導帯端に形成される

ヘテロ障壁の高さと、価電子帯端に形成されるヘテロ障壁の高さとの比を所望の値に調整できるので、図15に示すn-MOSFETの第2のシリコン層53と、p-MOSFETの第5のシリコン層63とを共通の層により構成しても、電子及びホールの双方について極めて高い閉じこめ効率を得ることができる。すなわち、n-MOSFETにおいては、図11に示すエネルギーバンド状態で動作し、p-MOSFETにおいては図14に示すエネルギーバンド状態で動作するからである。

10 【0143】（その他の実施形態）上記各実施形態では、第1, 第3のシリコン層にはキャリア用不純物以外の不純物が含まれていないとしたが、本発明はかかる実施形態に限定されるものではなく、第1, 第3のシリコン層に多少のCやゲルマニウム等が含まれていてもよい。要するに、第2のシリコン層が第1のシリコン層から引っ張り歪を受ける構造であれば、本発明の作用効果は得られるからである。

【0144】また、上記各実施形態においては、本発明をMOSFETに適用した場合についてのみ説明したが、本発明のヘテロ障壁を有する構造をショットキー型ゲート構造を有する電界効果トランジスタに適用することも可能である。

【0145】

【発明の効果】本発明の半導体装置によれば、半導体装置内の電界効果トランジスタに、第1のシリコン層と、炭素を含み上記第1のシリコン層による引っ張り歪を受けた第2のシリコン層とを積層して、第2のシリコン層を電界効果トランジスタのチャンネル領域として機能させるようにしたので、引っ張り歪を受けた第2のシリコン層の伝導帯及び価電子帯におけるバンドのスプリットを利用して有効質量の小さい電子又はホールを用いた高速動作型のn型及びp型の電界効果トランジスタを得ることができるとともに、膜厚の低減による転位のほとんどない第2のシリコン層による特性の向上と、緩和のための厚いバッファ層が不要となることによる製造コストの低減とを図ることができる。

【0146】また、ヘテロ接合付近における第2のシリコン層の伝導帯及び価電子帯の双方に、キャリアを第2のシリコン層に閉じこめるためのヘテロ障壁が形成されることを利用して、n-MOSFET, p-MOSFETの双方において高い電界効果による良好な特性を発揮しうるCMOSFETの提供を図ることができる。

【0147】さらに、第2のシリコン層に炭素及びゲルマニウムを含ませることにより、炭素及びゲルマニウムを含み引っ張り歪を受けたシリコン層のLHバンドのエネルギーレベルの上昇効果が炭素を含み引っ張り歪を受けたシリコン層のLHバンドのエネルギーレベルの上昇効果よりも大きいことを利用して、p-MOSFETにおけるホールの閉じ込め効果のさらなる向上を図ることができる。

【図面の簡単な説明】

【図1】第1のシリコン層（Si層）の上に炭素（あるいは炭素及びゲルマニウム）を含み引っ張り歪を受けた第2のシリコン層（Si_{1-y}C_y層又はSi_{1-x-y}Ge_xC_y層）を形成した本発明の基本構造を示す断面図である。

【図2】第1～第3の実施形態におけるSi層とSi_{1-y}C_y層との積層前の格子状態を示す結晶構造図、積層後にSi_{1-y}C_y層が引っ張り歪を受けた状態を示す結晶構造図、及びSi層とSi_{1-y}C_y層とによるヘテロ接合構造のバンド図である。

【図3】第1の実施形態における炭素を含み引っ張り歪を受けた第2のシリコン層をnチャネルとするn-MOSFETの構造を示す断面図である。

【図4】それぞれ順に、第1の実施形態におけるn-MOSFETのゲート電極に正の電圧を印加したときのバンド図、さらに第1のシリコン層、第3のシリコン層にそれぞれ高濃度ドープ層を設けたときのバンド図である。

【図5】第1のシリコン層の上に炭素を含み引っ張り歪を受けた第2のシリコン層を設けたときの炭素組成に対する転位を生じないための第2のシリコン層の膜厚の変化を示す図である。

【図6】第2の実施形態における炭素を含み引っ張り歪を受けた第2のシリコン層をpチャネルとするp-MOSFETの構造を示す断面図である。

【図7】それぞれ順に、第2の実施形態におけるp-MOSFETのゲート電極に負の電圧を印加したときのバンド図、さらに第1のシリコン層、第3のシリコン層にそれぞれ高濃度ドープ層を設けたときのバンド図である。

【図8】第3の実施形態における炭素を含み引っ張り歪を受けた第2のシリコン層をそれぞれnチャネル、pチャネルとするn-MOSFET、p-MOSFETからなるCMOSFETの構造を示す断面図である。

【図9】第4～第6の実施形態におけるSi層とSi_{1-x-y}Ge_xC_y層との積層前の格子状態を示す結晶構造図、積層後にSi_{1-x-y}Ge_xC_y層が引っ張り歪を受けた状態を示す結晶構造図、及びSi層とSi_{1-x-y}Ge_xC_y層とによるヘテロ接合構造のバンド図である。

【図10】第4の実施形態における炭素及びゲルマニウムを含み引っ張り歪を受けた第2のシリコン層（Si_{1-x-y}Ge_xC_y層）をnチャネルとするn-MOSFETの構造を示す断面図である。

【図11】それぞれ順に、第4の実施形態におけるn-MOSFETのゲート電極に正の電圧を印加したときのバンド図、さらに第1のシリコン層、第3のシリコン層にそれぞれ高濃度ドープ層を設けたときのバンド図である。

【図12】第1のシリコン層の上に炭素及びゲルマニウムを含み引っ張り歪を受けた第2のシリコン層を設けたときの炭素・ゲルマニウムの組成比に対する転位を生じないための第2のシリコン層の膜厚の変化を示す図である。

【図13】第5の実施形態における炭素及びゲルマニウムを含み引っ張り歪を受けた第2のシリコン層（Si_{1-x-y}Ge_xC_y層）をpチャネルとするp-MOSFETの構造を示す断面図である。

10 【図14】それぞれ順に、第5の実施形態におけるp-MOSFETのゲート電極に負の電圧を印加したときのバンド図、さらに第1のシリコン層、第3のシリコン層にそれぞれ高濃度ドープ層を設けたときのバンド図である。

【図15】第6の実施形態における炭素を含み引っ張り歪を受けた第2のシリコン層をそれぞれnチャネル、pチャネルとするn-MOSFET、p-MOSFETからなるCMOSFETの構造を示す断面図である。

20 【図16】従来のヘテロ接合構造の例であって、シリコン基板上に、SiGeバッファ層、格子緩和されたSi_{1-x}Ge_x層及び引っ張り歪を受けたシリコン層を形成した構造を示す断面図である。

【図17】従来例におけるSi_{1-x}Ge_x層とSi層との積層前の格子状態を示す結晶構造図、積層後にSi層が引っ張り歪を受けた状態を示す結晶構造図、及びSi_{1-x}Ge_x層とSi層とによるヘテロ接合構造のバンド図である。

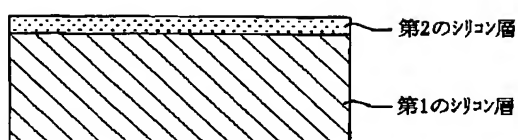
【符号の説明】

10	シリコン基板
11	pウェル
12	第1のシリコン層
13	第2のシリコン層
14	第3のシリコン層
15	ゲート絶縁膜
16	ゲート電極
17	ソース領域
18	ドレイン領域
19	ソース電極
20	ドレイン電極
40	21 pウェル
	22 第1のシリコン層
	23 第2のシリコン層
	24 第3のシリコン層
	25 ゲート絶縁膜
	26 ゲート電極
	27 ソース領域
	28 ドレイン領域
	29 ソース電極
	30 ドレイン電極
50	50 シリコン基板

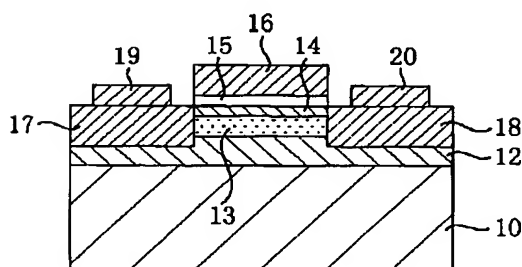
5 1 p ウェル
 5 2 第1のシリコン層
 5 3 第2のシリコン層
 5 4 第3のシリコン層
 5 5 ゲート絶縁膜
 5 6 ゲート電極
 5 7 ソース領域
 5 8 ドレイン領域
 5 9 ソース電極
 6 0 ドレイン電極

33

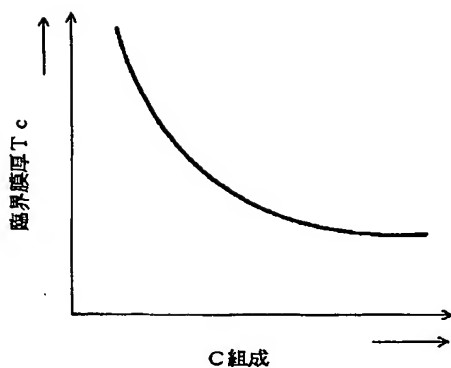
【図1】



【図3】

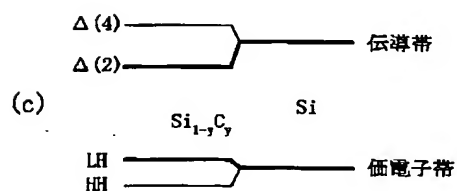
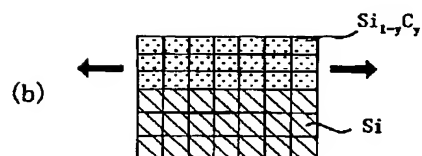
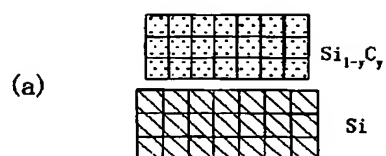


【図5】

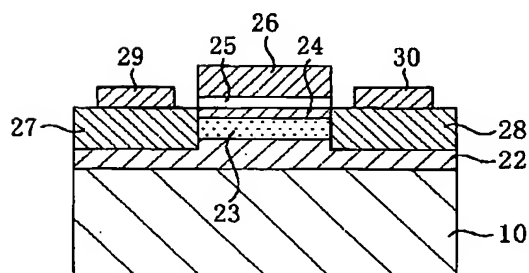


6 1 p ウェル
 6 2 第1のシリコン層
 6 3 第2のシリコン層
 6 4 第3のシリコン層
 6 5 ゲート絶縁膜
 6 6 ゲート電極
 6 7 ソース領域
 6 8 ドレイン領域
 6 9 ソース電極
 10 7 0 ドレイン電極

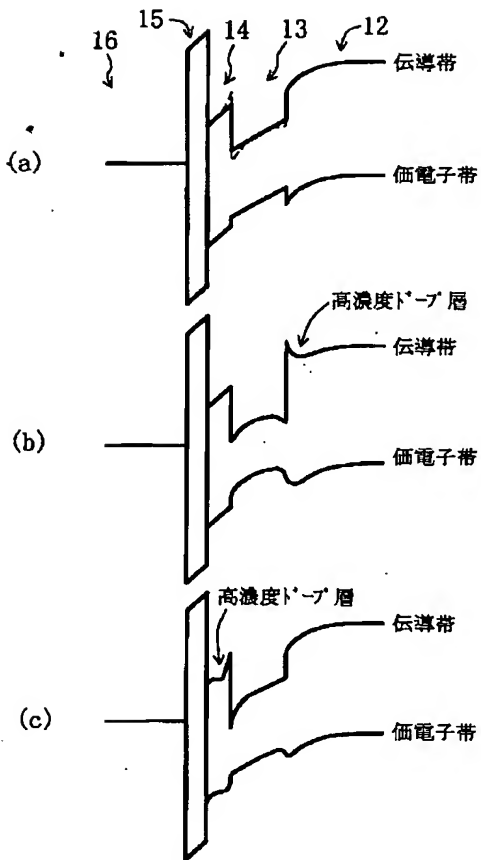
【図2】



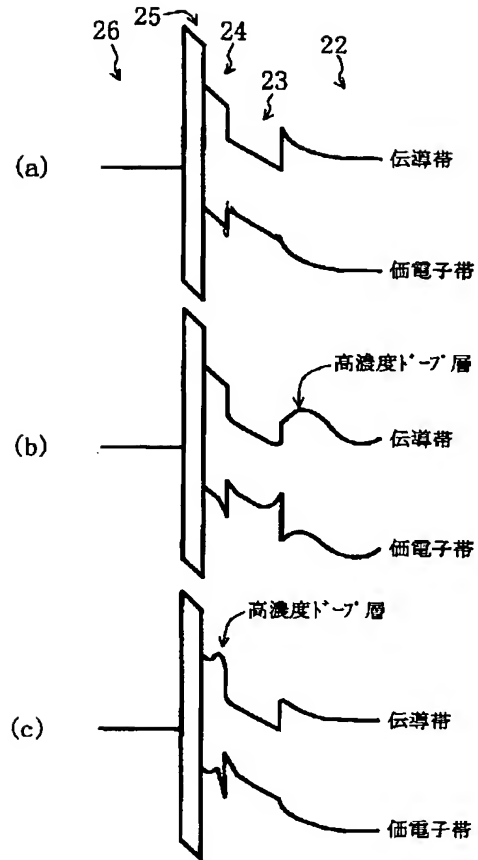
【図6】



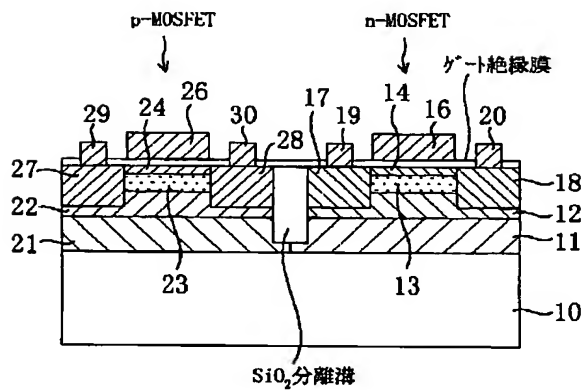
【図4】



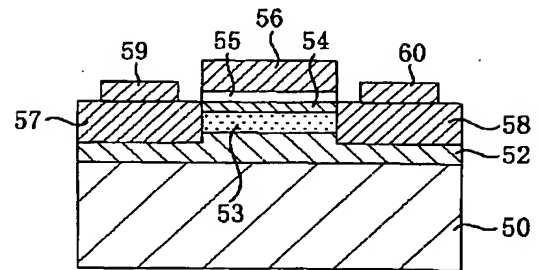
【図7】



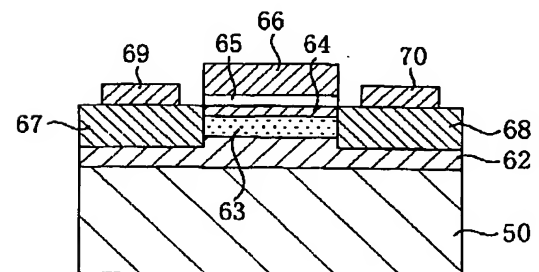
【図8】



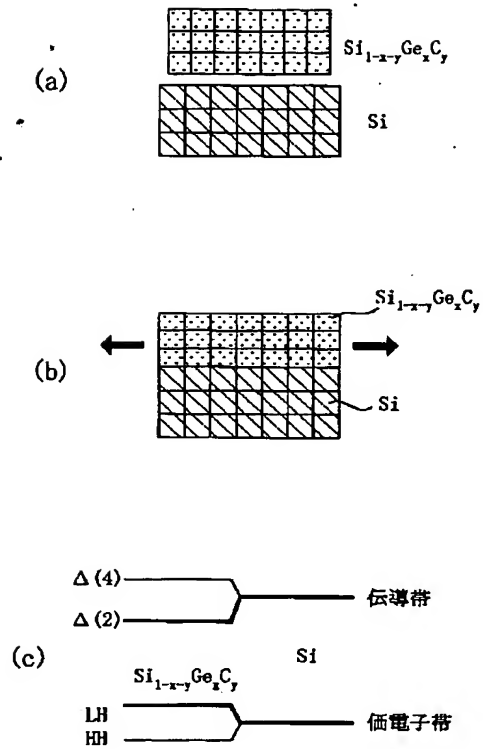
【図10】



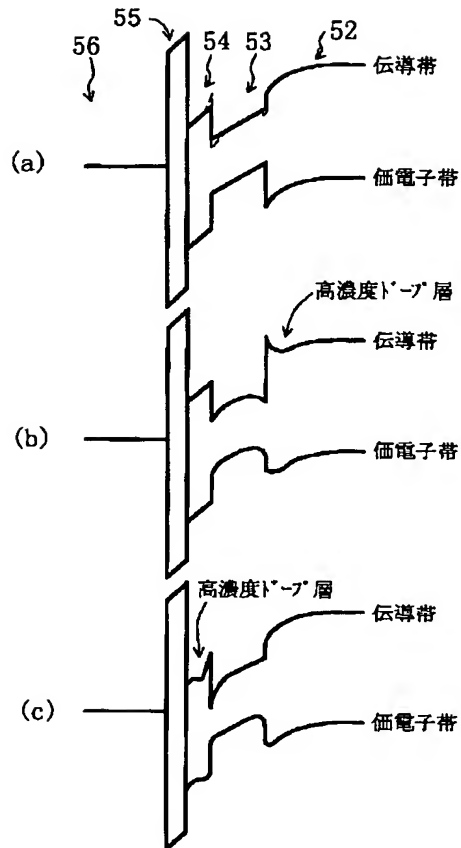
【図13】



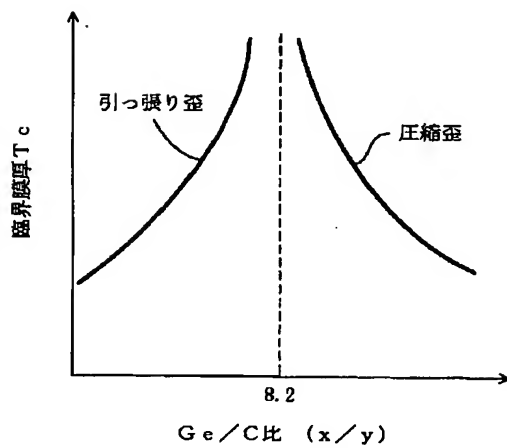
【図9】



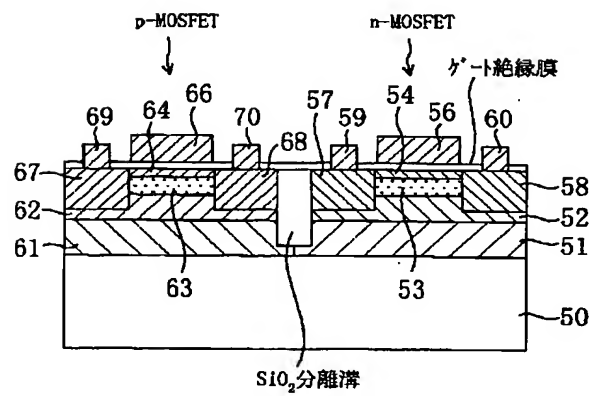
【図11】



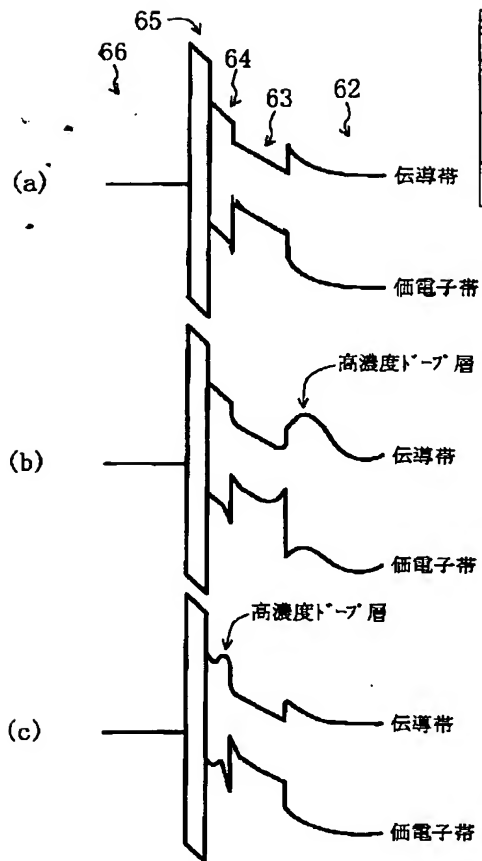
【図12】



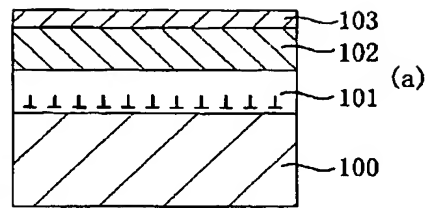
【図15】



【図 1 4】



【図 1 6】



【図 1 7】

